

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0060

Applicant: Chang Hyuk LEE

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: Concurrently Herewith

Art Unit: Unassigned

Title: ROW REDUNDANCY CIRCUIT

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2003-0025051 filed April 21, 2003

Respectfully submitted,

Date: 12/15/03

By Johnny A. Kumar
Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0025051
Application Number

출원 년 월 일 : 2003년 04월 21일
Date of Application APR 21, 2003

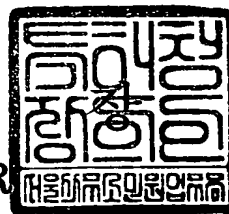
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【선택지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.04.21
【국제특허분류】	H01L
【발명의 명칭】	로우 리던던시 회로
【발명의 영문명칭】	Row redundancy circuit
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	황의인
【대리인코드】	9-1998-000660-7
【포괄위임등록번호】	2003-017010-4
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	이창혁
【성명의 영문표기】	LEE, Chang Hyuk
【주민등록번호】	650607-1820718
【우편번호】	467-110
【주소】	경기도 이천시 증포동 선경아파트 205-1003
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 황의인 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 10 면 10,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 8 항 365,000 원

【합계】 404,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통 -.

【요약서】**【요약】**

본 발명은 인에이블된 부스팅 신호가 프리차지시 마다 불필요하게 디스에이블 되었다가 다시 인에이블됨으로써 발생하는 전류 소모를 해결하기 위한 로오 리턴던시 회로를 개시한다.

본 발명의 로오 리턴던시 회로는 적어도 두 개의 퓨즈박스로 이루어진 다수의 퓨즈박스 그룹을 포함하는 퓨즈박스그룹 어레이, 퓨즈박스그룹의 출력에 따라 8개의 리턴던트 서브 워드라인과 대응되는 각 리턴던트 메인 워드라인을 선택적으로 구동시키는 리턴던트 로오디코더, 및 퓨즈박스그룹의 출력에 따라 리페어 모드시 8개의 리턴던트 서브 워드라인을 4개 단위로 구분하여 구동시키며 다음 로오 어드레스 인가시에만 인에이블된 부스팅 신호를 디스에이블 시키는 리턴던트 서브 로오디코더로 구성되어, 불필요한 부스팅 신호의 발생에 따른 전류의 소모를 줄일 수 있게 된다.

【대표도】

도 2

【명세서】

【발명의 명칭】

로우 리던던시 회로{Row redundancy circuit}

【도면의 간단한 설명】

도 1은 종래의 로우 리던던시 회로의 구성을 간략하게 나타낸 회로도.

도 2는 본 발명에 따른 로우 리던던시 회로의 구성을 나타내는 회로도.

도 3은 본 발명에 따른 퓨즈박스의 구성을 나타내는 회로도.

도 4는 도 3의 퓨즈박스의 동작을 설명하기 위한 타이밍도.

도 5는 본 발명에 따른 부스팅 신호 발생부의 구성을 나타내는 회로도.

도 6은 도 5의 부스팅 신호 발생부의 동작을 나타내는 타이밍도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 로우 리던던시 회로에 관한 것으로서, 보다 상세하게는 하나의 리던던트 메인 워드라인에 8개의 리던던트 서브 워드라인을 대응시켜 구동시킴으로써 리던던트 메인 워드라인의 수를 줄일 수 있으며, 부스팅 신호의 발생을 효율적으로 제어하여 불필요한 전류의 소모를 줄일 수 있도록 하는 로우 리던던시 회로에 관한 것이다.

<8> 일반적으로 반도체 메모리는 수많은 미세 셀 중 한 개라도 결함이 있으면 메모리로서 제 구실을 하지 못하므로 불량품으로 처리된다. 하지만, 메모리의 집적도가 증가함에 따라 셀 결

함이 발생할 확률이 높은데도 이를 불량품으로 폐기한다는 것은 양품의 수율(Yield)을 낮추는 비효율적인 처리 방식이다.

<9> 상기한 수율을 개선하기 위하여 리던던시 회로가 제시된 바 있으며, 리던던시 회로는 미리 메모리내에 설치해둔 예비 메모리 셀을 이용하여 불량셀을 대체시키는 용도로 사용된다.

<10> 즉, 리던던시 회로는 셀 어레이 내부의 임의의 셀에 결함이 발생하게 되면, 결함 셀이 접속된 워드라인을 여분의 리던던시 워드라인으로 대체하여 결함을 보상하는 장치이다. 구체적으로, 결함이 발생한 셀을 선택하는 로오(row) 어드레스가 지정되면 로오 리던던시 회로는 결함이 있는 셀 대신 리페어(Repair) 셀에 접속된 워드라인을 인에이블 시킴으로써 로오 리던던시 동작을 수행한다.

<11> 이러한 종래의 로오 리던던시 회로는 일예로 1개의 리던던트 메인 워드라인에 4개의 리던던트 서브 워드라인을 대응시키고, 리던던시 동작을 위하여 로오 어드레스의 하위 2비트를 프리디코딩한 신호를 이용하여 4개의 서브 워드라인 중 어느 하나를 선택적으로 인에이블 시키는 구조를 갖는다.

<12> 도 1은 종래의 로오 리던던시 회로의 구성을 간략하게 나타낸 회로도이다.

<13> 도 1의 로오 리던던시 회로는 결함 셀의 어드레스가 인가되면, 결함 셀을 선택하는 어드레스 경로를 리던던시 워드라인으로 리페어하는 퓨즈박스 어레이(미도시)의 출력 신호 $rwe0<0> \sim rwe0<7>$, $rwe1<0> \sim rwe1<7>$ 를 논리연산하여, 리페어 셀 어레이 블록을 인에이블 시키기 위한 제어 신호 $rwez0$, $rwez1$ 와 인에이블된 셀 어레이 블록의 서브 워드라인을 구동시키는 부스팅 신호를 발생시키기 위한 제어신호 rwe_sum 를 출력한다.

- <14> 이러한 로오 리턴던시 회로는 인접한 4개의 퓨즈박스 출력 신호 rwe0<0> ~ rwe0<3>, rwe0<4> ~ rwe0<7>, rwe1<0> ~ rwe1<3>, 및 rwe1<4> ~ rwe1<7>를 노아연산하는 노아게이트 NOR1 ~ NOR4; 노아게이트 NOR1, NOR2 및 NOR3, NOR4의 출력 신호를 각각 낸드연산하는 낸드게이트 ND1 및 ND2; 낸드게이트 ND1 및 ND2의 출력 신호를 각각 반전시켜 제어 신호 rwez0 및 rwez1를 출력하는 인버터 IV1 및 IV2; 및 인버터 IV1 및 IV2의 출력 신호를 낸드연산하여 제어 신호 rwe_sum를 출력하는 낸드게이트 ND3를 구비한다.
- <15> 이러한 종래의 로오 리턴던시 회로는 각 퓨즈박스(미도시)가 리턴던트 메인 워드라인(미도시)에 일대일 대응되며, 하나의 리턴던트 메인 워드라인이 4개의 리턴던트 서브 워드라인 RSWL(미도시)에 대응된다. 그리고, 리페어된 로오 어드레스의 하위 비트에 대한 프리디코딩 신호를 이용하여 부스팅신호의 발생을 제어하여 대응되는 4개의 리턴던트 서브 워드라인 중 어느 하나를 선택하게 된다.
- <16> 이러한 종래의 로오 리턴던시 회로에서, 리턴던트 메인 워드라인은 코어에서 메탈 레이어로 레이아웃되는데 공간적 제약으로 인하여 4개의 서브 워드라인 당 하나의 메탈 라인이 배치되어 메인 워드라인 사이에 파워라인을 설치할 여유가 불충분한 문제점이 있다.
- 【발명이 이루고자 하는 기술적 과제】**
- <17> 따라서, 상술된 문제를 해결하기 위한 본 발명의 목적은 하나의 리턴던트 메인 워드라인에 다수의 리턴던트 서브 워드라인을 대응시켜 메인 워드라인의 수를 줄여줌으로써 메모리 소자의 공간을 확보하는데 있다.
- <18> 본 발명의 또 다른 목적은 부스팅 신호가 리프레쉬 동작시 마다 불필요하게 다시 발생되는 것을 방지하여 부스팅 신호의 발생과 관련된 전류의 소모를 최소화하는데 있다.

【발명의 구성 및 작용】

- <19> 위와 같은 목적을 해결하기 위한 본 발명의 로오 리턴던시 회로는 적어도 두 개의 퓨즈 박스들로 이루어진 퓨즈박스그룹들을 구비하여 리턴던시를 위한 로오 어드레스 인가여부를 검출하는 퓨즈박스그룹 어레이; 각 퓨즈박스그룹의 출력신호를 논리연산하여 다수의 리턴던트 서브 워드라인에 대응되는 하나의 리턴던트 메인 워드라인을 선택적으로 활성화시키는 리턴던트 로오디코더; 및 각 퓨즈박스그룹 내 퓨즈박스 하나씩의 출력신호를 각기 논리연산하여 서로 다른 복수의 리턴던트 부스팅 제어신호들을 생성하고, 리턴던트 부스팅 제어신호에 따라 다수의 리턴던트 서브 워드라인을 각 퓨즈박스에 대응되는 일정수 단위로 구분하여 구동시키며, 새로운 로오 어드레스가 인가시에만 발생된 부스팅 신호를 디스에이블시키는 리턴던트 서브 로오디코더를 구비한다.
- <20> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.
- <21> 도 2는 본 발명에 따른 로오 리턴던시 회로의 구성을 나타내는 구성도이다.
- <22> 본 발명의 로오 리턴던시 회로는 다수개(본 실시예에서는 두개)의 퓨즈박스들 xfuse_up 및 xfuse_dn(이하, '퓨즈박스그룹'이라 함)의 논리연산 결과를 하나의 리턴던트 메인 워드라인 RMWL에 대응시키고, 각 리턴던트 메인 워드라인 RMWL은 8개의 리턴던트 서브 워드라인(미도시)에 대응된다. 즉, 하나의 리턴던트 메인 워드라인 RMWL으로 8개의 리턴던트 서브 워드라인을 제어할 수 있게 되므로, 종래 하나의 리턴던트 메인 워드라인으로 4개의 리턴던트 서브 워드라인을 제어할 경우에 비해 리턴던트 메인 워드라인의 수가 반으로 줄어들게 된다.
- <23> 그리고, 각 리턴던트 메인 워드라인 RMWL에 대응되는 8개의 리턴던트 서브 워드라인들은 퓨즈박스그룹 fbg를 이루는 두 퓨즈박스 xfuse_up 및 xfuse_dn 중 어느 퓨즈박스의 출력이 인

에이블되었는지에 따라 4개 단위로 제어되어 구동된다. 즉, 퓨즈박스 xfuse_up의 출력이 인에이블되면 8개의 리턴던트 서브 워드라인들의 상위 4개 중 어느 하나를 구동시키고, 퓨즈박스 xfuse_dn의 출력이 인에이블되면 하위 4개 중 어느 하나를 구동시킨다.

<24> 또한, 본 발명의 로오 리턴던트 회로는 인에이블된 부스팅 신호가 프리차지 명령시 디스에이블되지 않고, 다른 로오 어드레스가 인가되는 경우에만 디스에이블되도록 함으로써 불필요한 전류의 소모를 방지한다.

<25> 이러한 본 발명의 로오 리턴던트 회로를 보다 구체적으로 설명하면, 본 발명의 로오 리턴던트 회로는 퓨즈박스그룹 어레이(100), 리턴던트 로오디코더(200), 및 리턴던트 서브 로오디코더(300)를 구비한다.

<26> 퓨즈박스그룹 어레이(100)는 다수의 퓨즈박스그룹 fbg을 구비하며, 각 퓨즈박스그룹 fbg은 적어도 두 개의 퓨즈박스(본 실시예에서는 2개: fuse_up 및 fuse_dn)들로 이루어진다. 각 퓨즈박스 fuse_up 및 fuse_dn는 프로그래밍된 리페어 로오 어드레스가 인가시 인에이블되어 리페어된 워드라인에 데이터가 기록되거나 또는 기록된 데이터를 읽어올 수 있도록 해준다.

<27> 리턴던트 로오디코더(200)는 퓨즈박스그룹 어레이(100)의 출력신호를 논리연산하여 리턴던트 메인 워드라인 RMWL과 이에 대응되는 셀 어레이 블록 BLK0, BLK1을 선택적으로 활성화시킨다. 그리고, 리턴던트 로오디코더(200)는 어느 한 퓨즈박스 fuse_up 및 fuse_dn라도 인에이블되면 부스팅 제어신호 rwe_sum를 활성화시켜 리턴던트 서브 워드라인(미도시)을 구동시키기 위한 부스팅 신호가 발생되도록 하며, 그렇지 않은 경우에는 제어신호 rwe_sum을 비활성화시켜 노말 모드에 따른 부스팅 신호가 발생되도록 한다.

- <28> 이러한 리던던트 로오디코더(200)는 두 퓨즈박스 fuse_up 및 fuse_dn의 출력신호를 각각 논리연산하여 리던던트 메인 워드라인 RMWL을 선택적으로 인에이블시키는 워드라인 선택부(210), 워드라인 선택부(210)의 출력신호를 논리연산하여 리던던트 블록 선택신호 rwe_blk를 출력하는 셀 블록 선택부(220) 및 셀 블록 선택부(220)의 출력신호를 논리연산하여 부스팅 제어신호 rwe_sum를 출력하는 부스팅 신호 제어부(230)를 구비한다.
- <29> 여기에서, 워드라인 선택부(210)는 두 퓨즈박스 fuse_up 및 fuse_dn의 출력신호를 각각 오아연산하여 리던던트 메인 워드라인 RMWL을 활성화시키는 오아게이트들 OR1 ~ OR8을 구비하며, 셀 블록 선택부(220)는 오아게이트들 OR1 ~ OR4 및 R5 ~ OR8의 출력신호를 각각 오아연산하여 리던던트 블록 선택신호 rwe_blk를 출력하는 오아게이트들 OR9 및 OR10을 구비한다. 그리고, 부스팅 신호 제어부(230)는 오아게이트들 OR9 및 OR10의 출력신호를 오아연산하여 부스팅 제어신호 rwe_sum를 출력하는 오아게이트 OR11를 구비한다.
- <30> 그런데, 상술된 구성에 있어서, 서로 다른 로오 어드레스로 프로그래밍된 두 퓨즈박스 fuse_up 및 fuse_dn 중 어느 하나라도 인에이블되면 대응하는 리던던트 메인 워드라인 RMWL이 활성화므로, 퓨즈박스그룹 fbg을 이루는 퓨즈박스들 fuse_up 및 fuse_dn의 수 단위로 해당 리던던트 메인 워드라인 RMWL에 대응되는 8개의 리던던트 서브 워드라인을 구분해서 구동시켜야 한다.
- <31> 이를 위해, 리던던트 서브 로오디코더(300)는 각 퓨즈박스그룹 fbg을 이루는 두 퓨즈박스들 fuse_up 및 fuse_dn 중 어느 퓨즈박스가 인에이블 되었는지에 따라, 8개의 리던던트 서브 워드라인을 4단위로 구분하고 구분된 각 4개의 서브 워드라인들을 선택적으로 구동시킨다.
- <32> 즉, 리던던트 서브 로오디코더(300)는 퓨즈박스들 fuse_up의 출력신호를 논리연산하여 제어신호 rwe_px_up를 출력하고, 퓨즈박스들 fuse_dn의 출력신호를 논리연산하여 제어신호

rwe_px_dn를 출력하여 8개의 리턴던트 서브 워드라인들을 리페어된 로오 어드레스에 따라 4개 단위로 구분한다. 그리고, 리턴던트 서브 로오디코더(300)는 제어신호 rwe_sum가 활성화되는 리페어 모드시 리턴던트 부스팅 제어신호 rwe_px_up 및 rwe_px_dn와 로오 어드레스의 프리디코딩 신호 lax01 및 lax012를 이용하여 4개 단위로 구분된 부스팅 신호 px0 ~ px3 또는 px4 ~ px7 중 어느 하나를 선택적으로 발생시킨다. 본 발명에서의 리턴던트 서브 로오디코더(300)는, 일반적으로 리턴던트 메인 워드라인이 활성화되면 이에 따라 해당 리턴던트 메인 워드라인에 대응되는 다수의 리턴던트 서브 워드라인들을 구동시키는 워드라인 드라이버를 지칭하는 것이 아니다.

<33> 이러한 리턴던트 서브 로오디코더(300)는 각 퓨즈박스그룹 fbg의 하나씩의 퓨즈박스들 fuse_up 또는 fuse_dn의 출력신호들을 각각 논리연산하여 리턴던트 부스팅 제어신호 rwe_px_up 및 rwe_px_dn를 발생시키는 리턴던트 부스팅 제어부(310) 및 리턴던트 부스팅 제어부(310)으로부터 두 리턴던트 부스팅 제어신호 rwe_px_up 및 rwe_px_dn를 인가받아 동작모드에 따른 부스팅 신호 px0 ~ px3 또는 px4 ~ px7를 선택적으로 출력하는 부스팅 신호 발생부(320)를 구비한다.

<34> 여기에서, 리턴던트 부스팅 제어부(310)는 퓨즈박스들 fuse_up의 출력신호를 오아연산하는 8입력 오아게이트 OR12 및 퓨즈박스들 fuse_dn의 출력신호를 오아연산하는 8입력 오아게이트 OR13를 구비한다. 그리고, 부스팅 신호 발생부(320)는 리턴던트 부스팅 제어신호 rwe_px_up가 인에이블시 퓨즈박스 fuse_up에 대응되는 부스팅 신호 px0,1,2,3를 선택적으로 출력하는 제 1 부스팅 신호 발생부 PX0,1,2,3 및 리턴던트 부스팅 제어신호 rwe_px_dn가 인에이블시 퓨즈박스 fuse_dn에 대응되는 부스팅 신호 px4,5,6,7를 선택적으로 출력하는 제 2 부스팅 신호 발생부 PX4,5,6,7를 구비한다.

- <35> 도 3은 본 발명의 부스팅 신호 발생부 PX0,1,2,3 중 어느 하나 PX0의 구성을 나타내는 회로도이다.
- <36> 본 발명의 제 1 부스팅 신호 발생부 PX0,1,2,3 와 제 2 부스팅 신호 발생부 PX4,5,6,7는 그 구성 및 동작원리는 동일하나, 리턴던트 부스팅 제어신호 rwe_px_up 및 rwe_px_dn가 인가되는 위치와 인가되는 프리디코딩 신호 lax23 값이 서로 상이하다. 이러한 차이는 제 1 부스팅 신호 발생부 PX0,1,2,3를 설명하면서 같이 언급되며, 이하 부스팅 신호 발생부를 제 1 및 제 2 부스팅 신호 발생부로 구분하지 않고 설명한다.
- <37> 도 3에서 제어신호 rwe_sumz는 도 2의 부스팅 제어신호 rwe_sum가 반전된 신호이며, 제어신호 wlstd는 해당 뱅크가 액티브시에는 하이가 되고 프리차지시에는 로우가 되는 신호이다.
- <38> 본 발명의 부스팅 신호 발생부 PX0,1,2,3는 모드 제어부(321), 리페어 제어부(322), 노말 제어부(323), 모드 선택부(324), 풀업 제어부(325), 풀업부(326), 래치부(327), 및 부스팅 신호 출력부(328)를 구비한다.
- <39> 모드 제어부(321)는 리턴던트 메인 워드라인 RMWL의 활성화 여부에 따라 부스팅 신호 발생부 PX0가 동작모드(리페어 모드 또는 노말 모드)에 따른 부스팅 신호 px0를 발생하도록 제어한다. 즉, 모드 제어부(321)는 리턴던트 메인 워드라인 RMWL의 활성화 여부에 따라, 리턴던트 서브 워드라인(미도시)을 구동시키기 위한 부스팅 신호 px0 및 pxb0 또는 노말 서브 워드라인(미도시)을 구동시키기 위한 부스팅 신호 px0 및 pxb0가 선택적으로 발생되도록 한다.
- <40> 이러한 모드 제어부(321)는 제어신호 rwe_sumz를 반전시키는 인버터 IV3, 제어신호 wlstd를 반전시키는 인버터 IV4, 인버터 IV4의 출력신호를 반전시키는 인버터 IV5, 및 인버터 IV3와 IV4의 출력신호를 노아연산하여 출력하는 노아게이트 NOR5를 구비한다.

- <41> 리페어 제어부(322)는 리턴던트 부스팅 제어신호 rwe_px_up(부스팅 신호 발생부 PX4,5,6,7의 경우에는 rwe_px_dn)와 인가된 리페어 어드레스에 의한 프리디코딩 신호 lax01에 따라 리페어 모드시 부스팅 신호 px0, pxb0의 발생을 제어한다.
- <42> 이러한 리페어 제어부(322)는 리턴던트 제어신호 rwe_px_up(부스팅 신호 발생부 PX4,5,6,7의 경우에는 rwe_px_dn)와 프리디코딩 신호 lax01을 낸드연산하는 낸드게이트 ND4 및 낸드게이트 ND4의 출력신호를 반전시키는 인버터 IV6를 구비한다.
- <43> 노말 제어부(323)는 프리디코딩 신호 lax012에 따라 노말 모드시 부스팅 신호 px0, pxb0의 발생을 제어한다.
- <44> 이러한 노말 제어부(323)는 프리디코딩 신호 lax23<0> 및 lax23<2>(부스팅 신호 발생부 PX4,5,6,7의 경우에는 lax23<1> 및 lax23<3>))를 노아연산하는 노아게이트 NOR6, 프리디코딩 신호 lax01를 반전시키는 인버터 IV7, 및 노아게이트 NOR6의 출력신호와 인버터 IV7의 출력신호를 노아연산하는 노아게이트 NOR7를 구비한다. 여기에서, 프리디코딩 신호 lax012를 얻기 위해 노말 제어부(323)의 입력 신호로 프리디코딩 신호 lax01 및 lax23를 사용하는 것은 기존의 프리디코딩 신호 lax23를 그대로 활용하기 위한 것으로, 노말 제어부(323)의 출력신호는 로오 어드레스의 하위 3 비트 ax0, ax1, ax2에 대한 프리디코딩 신호 lax012가 인가되는 것과 같다.
- <45> 모드 선택부(324)는 모드 제어부(321)의 출력신호에 따라 해당 동작모드의 부스팅 신호 px0 및 pxb0가 인에이블되도록 한다. 즉, 리페어 모드시에는 리페어 제어부(322)의 제어에 따라 부스팅 신호가 인에이블 되도록 하고, 노말 모드시에는 노말 제어부(323)의 제어에 따라 부스팅 신호가 인에이블 되도록 한다.

- <46> 이러한 모드 선택부(324)는 노드 A와 접지전압단 사이에 직렬 연결되며 게이트 단자가 각각 인버터 IV6 및 IV5의 출력단자와 연결되는 NMOS 트랜지스터 N1과 N2; 및 노드 A와 접지전압단 사이에 직렬 연결되며 게이트 단자가 각각 노아게이트 NOR7와 노아게이트 NOR5의 출력단자와 연결되는 NMOS 트랜지스터 N3과 N4를 구비한다.
- <47> 풀업 제어부(325)는 리던던트 부스팅 제어신호 rwe_px_dn(부스팅 신호 발생부 PX4,5,6,7의 경우에는 rwe_px_up), 리페어 제어부(322)의 출력신호, 및 노말 제어부(323)의 출력신호를 논리연산하여 출력한다.
- <48> 이러한 풀업부 제어부(325)는 리페어 제어부(322) 및 노말 제어부(323)의 출력신호를 노아연산하는 노아게이트 NOR8 및 노아게이트 NOR8의 출력신호와 리던던트 부스팅 제어신호 rwe_px_dn(부스팅 신호 발생부 PX4,5,6,7의 경우 rwe_px_up)를 노아연산하는 노아게이트 NOR9를 구비한다.
- <49> 풀업부(326)는 풀업 제어부(325)의 출력신호에 따라 노드 A의 전압을 풀업시킨다. 이러한 풀업부(326)는 전원전압단과 노드 A 사이에 연결되며 게이트 단자가 풀업 제어부(325)의 출력단자와 연결되는 PMOS 트랜지스터 P1를 구비한다.
- <50> 래치부(327)는 모드 선택부(324)의 출력을 래치한다. 이러한 래치부(327)는 입력단과 출력단이 상호 연결된 인버터 IV8 및 IV9를 구비한다.
- <51> 부스팅 신호 출력부(328)는 모드 선택부(324)의 출력신호 및 래치부(327)의 출력신호에 따라 부스팅 신호 px0 및 pxb0를 출력한다.
- <52> 이러한 부스팅 신호 출력부(328)는 전원전압단과 접지전압단 사이에 직렬 연결되고 게이트 단자가 노드 C 및 노드 A와 각각 연결되는 PMOS 트랜지스터 P2 및 NMOS 트랜지스터 N5; 전

원전압단과 접지전압단 사이에 직렬 연결되고 각 게이트 단자가 노드 B 및 래치부(327)의 출력단에 각각 연결되는 PMOS 트랜지스터 P3 및 NMOS 트랜지스터 N6; 전원전압단과 접지전압단 사이에 푸쉬-풀 형태로 직렬 연결되고 게이트 단자가 노드 C와 공통 연결되어 부스팅 신호 px0를 출력하는 PMOS 트랜지스터 P4 및 NMOS 트랜지스터 N7; 그리고 래치부(327)의 출력신호를 반전시켜 부스팅 신호 pxb0를 출력하는 인버터 IV10를 구비한다.

<53> 도 4는 본 발명에 따른 부스팅 신호 발생부의 동작을 나타내는 타이밍도이다.

<54> 리페어된 로오 어드레스가 인가되는 경우(리페어 모드), 퓨즈박스그룹 어레이(100)의 해당 퓨즈박스 fuse_up에서 하이 레벨의 신호가 출력된다. 이에 따라, 제어신호 rwe_sumz는로우 레벨이 되고, 리턴던트 부스팅 제어신호 rwe_px_up 및 rwe_px_dn는 각각 하이 레벨 및 로우 레벨로 리페어 제어부(322) 및 풀업 제어부(325)로 인가된다.

<55> 선택된 뱅크가 활성화되어 제어신호 wlstd가 하이 레벨이 되면, NMOS 트랜지스터 N2는 온되고 NMOS 트랜지스터 N4는 오프된다. 이때, 프리디코딩 신호 lax01<0>가 인에이블되면, NMOS 트랜지스터 N1가 온되고 PMOS 트랜지스터 P1는 프리디코딩 신호 lax012<0>에 상관없이 오프되어 노드 G가 풀다운된다. 이에 따라 리턴던트 서브 워드라인을 구동시키기 위한 부스팅 신호 px0가 인에이블된다.

<56> 만약, 퓨즈박스 fuse_dn에서 하이 레벨의 신호가 출력되는 경우에는 리턴던트 부스팅 제어신호 rwe_px_up 및 rwe_px_dn는 각각 로우 레벨 및 하이 레벨로 풀업 제어부(325) 및 리페어 제어부(322)로 인가되어 프리디코딩 신호 lax01에 따라 부스팅 신호 px4,5,6,7 중 어느 하나가 인에이블된다.

- <57> 노말 어드레스가 인가되는 경우(노말 모드), 모든 퓨즈박스 fuse_up 및 fuse_dn의 출력 신호는 로우 레벨이 되므로, 제어신호 rwe_sumz는 하이 레벨을 유지하고 리턴던트 부스팅 제어 신호 rwe_px_up 및 rwe_px_dn는 로우 레벨을 유지한다.
- <58> 해당 뱅크가 활성화되어 제어신호 wlstd가 하이 레벨이 되면, NMOS 트랜지스터 N2는 온 되고 노아 게이트 NOR5의 출력도 하이 레벨이 되어 NMOS 트랜지스터 N4가 온된다. NMOS 트랜지스터 N1는 리턴던트 부스팅 제어신호 rwe_px_up(부스팅 신호 발생부 PX4,5,6,7의 경우 rwe_px_dn)가 활성화되지 않으므로 프리디코딩 신호 lax01<0>가 인에이블 되어도 오프상태를 유지한다.
- <59> 그러나, 이때 프리디코딩 신호 lax23<0>, lax23<2> 중 적어도 어느 하나가 인에이블되면 결국 노말 제어부(323)의 출력신호인 프리디코딩 신호 lax012<0>가 하이 레벨이 되어 NMOS 트랜지스터 N3가 온되고 노드 A는 풀다운된다. 노드 A가 풀다운되면, 래치부(327) 및 부스팅 신호 출력부(328)에 의해 해당 부스팅 신호 px0 및 pxb0가 인에이블되어 출력된다.
- <60> 다음에, 다른 로오 어드레스가 인가되면, 프리디코딩 신호 lax012<0>가 로우 레벨로 천이되어 NMOS 트랜지스터 N3는 오프되고, 풀업 제어부(325)의 출력신호가 로우 레벨로 천이되어 PMOS 트랜지스터 P1는 온된다. 이에 따라, 노드 A가 풀업되어 부스팅 신호 px0는 디스에이블 되고, 다른 로오 어드레스의 프리디코딩 신호 예컨대, lax012<1>에 대응되는 다른 부스팅 신호 px1가 인에이블된다.
- <61> 해당 뱅크에 대한 프리차지 명령이 인가되어 제어신호 wlstd가 로우 레벨로 천이되면, NMOS 트랜지스터 N2는 오프되고 PMOS 트랜지스터 P1도 제어신호 wlstd에 영향을 받지 않고 오프 상태를 유지한다. 따라서, 부스팅 신호 px0 및 pxb0의 출력은 프리차지 명령에 영향을 받지 않고 현재의 상태를 계속 유지하게 된다.

- <62> 이처럼, 노말 모드시 PMOS 트랜지스터 P1의 온/오프는 프리디코딩 신호 lax012에 의해 결정되기 때문에 다른 로오 어드레스가 인가되어 lax012가 디스에이블되는 경우에만 부스팅 신호 px0가 디스에이블된다.
- <63> 그런데, PMOS 트랜지스터 P1가 프리디코딩 신호 lax012에 따라 온/오프 되도록 하기 위해, PMOS 트랜지스터 P1의 게이트 단자에 프리디코딩 신호 lax012를 바로 연결하지 않고, 프리디코딩 신호 lax012를 리턴던트 제어신호 rwe_px_dn(부스팅 신호 발생부 PX4,5,6,7의 경우 rwe_px_up) 및 리페어 제어부(322)의 출력신호와 논리연산하여 사용하는 이유는 다음과 같다.
- <64> 만약, 프리디코딩 신호 lax01만이 PMOS 트랜지스터 P1의 입력으로 사용되는 경우, 특정 노말 로오 어드레스에서 부스팅 신호 px0가 발생한 후 다른 로오 어드레스가 인가시, 새로 인가되는 로오 어드레스가 리페어된 로오 어드레스이면서 어드레스 ax0 및 ax1는 이전 노말 로오 어드레스와 동일하나 어드레스 ax2는 이전 노말 로오 어드레스와 다를 수 있다. 이러한 경우, 프리디코딩 신호 lax012는 디스에이블되어 NMOS 트랜지스터 N3는 오프되고 PMOS 트랜지스터 P1는 온된다. 그런데, 프리디코딩 신호 lax01는 이전과 동일하므로 하이 레벨을 유지하면서 리턴던트 부스팅 제어신호 rwe_px_up가 인에이블되어 NMOS 트랜지스터 N1는 온된다. 또한, 제어신호 wlstd가 인에이블되어 NMOS 트랜지스터 N2도 온된다. 결국 PMOS 트랜지스터 P1와 NMOS 트랜지스터 N1 및 N2가 모두 온되어 로직 에러가 발생하게 된다.
- <65> 따라서, 리페어 제어부(322)의 출력신호를 풀업 제어부(325)의 입력신호로 사용하여 프리디코딩 신호 lax012와 리페어 제어부(322)의 출력신호가 동시에 로우 레벨이 되지 않도록 해주어야 한다.
- <66> 또한, 리턴던트 부스팅 제어부(310)의 출력신호 rwe_px_up 및 rwe_px_dn 중 리페어 제어부(322)에 인가되는 리턴던트 부스팅 제어신호 rwe_px_up(부스팅 신호 발생부 PX4,5,6,7의 경

우에는 rwe_px_dn)가 아닌 다른 리턴던트 부스팅 제어신호 rwe_px_dn(부스팅 신호 발생부 PX4,5,6,7의 경우에는 rwe_px_up)를 풀업 제어부(325)의 입력 신호로 사용하는 이유는 다음과 같다.

<67> 이를 설명하기 위해, 풀업 제어부(325)에 리턴던트 부스팅 제어신호 rwe_px_dn가 인가되지 않는다고 가정하기 위해 해당 단자를 로우 레벨로 고정시킨다. 만약, 특정 노말 로오 어드레스에서 부스팅 신호 px0가 인에이블된 후, 다음에 부스팅 신호 px4를 발생시키기 위한 리페어 어드레스가 인가되면, 부스팅 신호 px0는 디스에이블되고 부스팅 신호 px4가 인에이블되어야 한다. 그런데, 새로 인가된 프리디코딩 신호 lax012가 이전 어드레스(px0를 인에이블시킨 어드레스)와 동일하여 인에이블 상태를 계속 유지하고 있는 경우, 부스팅 신호 발생부 PX0의 풀업 제어부(325)의 출력신호도 하이 레벨을 유지한다. 따라서, PMOS 트랜지스터 P8는 계속 오프상태로 유지된다. 결국, 부스팅 신호 px0가 디스에이블 되지 않게 되어 두 개의 부스팅 신호 px0 및 px4가 동시에 발생하게 되는 로직 에러가 발생하게 된다.

<68> 따라서, 다른 로오 어드레스가 인가시, 프리디코딩 신호 lax012가 디스에이블되지 않더라도 풀업 제어부(325)의 출력을 로우 레벨로 만들기 위해 리턴던트 부스팅 제어신호 rwe_px_dn(부스팅 신호 발생부 PX4,5,6,7의 경우 rwe_px_up)를 풀업 제어부(325)에서 사용한다.

<69> 상술된 동작을 위해, 본 발명에서는 프리디코딩 신호 lax23가 프리차지시 디스에이블되지 않게 된다. 그런데, 이처럼 프리차지시 디스에이블되지 않는 프리디코딩 신호 lax23가 퓨즈박스에 인가되게 되면, 퓨즈박스의 출력신호가 불안정하게 될 수 있다.

<70> 이를 위해, 본 발명의 퓨즈박스 fuse_up 및 fuse_dn은 프리디코딩 신호 lax23가 인가되는 퓨즈부분에 대한 별도의 처리가 요구된다.

- <71> 도 5는 본 발명에 따른 퓨즈박스 fuse_up 및 fuse_dn의 구성을 나타내는 회로도이다.
- <72> 도 5에서 제어신호 xredstpz는 프리차지시에만 로우 레벨로 천이되는 신호이며, 제어신호 xredz는 특정 테스트 모드시에만 로우 레벨로 천이되는 신호로 본 발명에서는 항상 하이 레벨을 유지하는 신호이다.
- <73> 각 퓨즈박스 fuse_up 및 fuse_dn는 리페어 되는 특정 로오 어드레스로 프로그래밍된다. 즉, 각 퓨즈박스 fuse_up 및 fuse_dn는 리페어하고자 하는 특정 로오 어드레스에 해당하는 퓨즈들이 절단(cutting)되어, 해당 로오 어드레스가 인가시에만 하이 레벨의 신호를 출력한다.
- <74> 이러한 퓨즈박스 fuse_up 및 fuse_dn는 전압 풀업부(110), 전압 유지부(120), 퓨즈부(130), 퓨즈 제어부(140), 어드레스 검출부(150), 및 퓨즈신호 출력부(160)를 구비한다.
- <75> 전압 풀업부(110)는 제어신호 xredstpz에 따라 프리차지시 노드 D의 전압을 풀업시킨다. 이러한 전압 풀업부(110)는 전원전압단과 노드 D 사이에 연결되며 게이트 단자가 제어신호 xredstpz에 연결되는 PMOS 트랜지스터 P5를 구비한다.
- <76> 전압 유지부(120)는 풀업된 노드 D의 전압을 유지시킨다. 이러한 전압 유지부(120)는 노드 D의 신호를 반전시키는 인버터 IV11 및 전원전압단과 노드 D 사이에 연결되며 게이트 단자가 인버터 IV11의 출력단과 연결되는 PMOS 트랜지스터 P6를 구비한다.
- <77> 퓨즈부(130)는 특정 리페어 어드레스로 프로그래밍 되어 해당 리페어 어드레스 이외의 어드레스 인가시 노드 D의 전압을 풀다운 시킨다. 이러한 퓨즈부(130)는 직렬 연결된 저항과 NMOS 트랜지스터가 노드 D와 접지전압단 사이에 다수개 병렬 연결되며, NMOS 트랜지스터들의 게이트 단자로는 로오 어드레스의 프리디코딩 신호 lax23, lax45, lax678, lax9A 및 laxB가 각각 인가된다. 여기에서, 퓨즈박스에 인가되는 프리디코딩 신호들은 프리차지시 모두 디스에이

블되어 노드 D의 전류를 누출시키지 말아야 한다. 그런데, 상술한 바와 같이 프리디코딩 신호 lax23는 프리차지시에 디스에이블되지 않으므로, PMOS 트랜지스터 P5가 온됨과 동시에 해당 퓨즈부분에 의한 노드 D의 전압강하가 발생하게 되어 노드 D의 전압이 불안정하게 된다.

따라서, 프리디코딩 신호 lax23를 인가받는 부분은 프리차지시 디스에이블되는 다른 프리디코딩 신호에 따라 전류의 흐름이 제어되도록 구성한다. 즉, 퓨즈부(130)에서 프리디코딩 신호 lax23가 인가되는 NMOS 트랜지스터들의 소오스 단자들은 바로 접지되지 않고 퓨즈 제어부(140)와 직렬 연결시킨다.

<78> 퓨즈 제어부(140)는 프리차지시 디스에이블되는 프리디코딩 신호 laxB<0>, laxB<1>에 따라 프리차지시 프리디코딩 신호 lax23에 의해 전류가 누출되어 노드 D의 전압이 강하되는 것을 방지한다. 이러한, 퓨즈 제어부(140)는 프리디코딩 신호 laxB<0>, laxB<1>를 오아연산하는 노아게이트 NOR10, 노아게이트 NOR10의 출력신호를 반전시키는 인버터 IV12 및 퓨즈부(130)에서 프리디코딩 신호 lax23에 따라 온/오프되는 NMOS 트랜지스터들의 소오스단자와 접지전압단 사이에 연결되며 게이트단자가 인버터 IV12의 출력단자와 연결되는 NMOS 트랜지스터 N8를 구비한다.

<79> 따라서, 프리차지시 프리디코딩 신호 lax23가 디스에이블되지 않아도 프리디코딩 신호 laxB가 디스에이블되어 NMOS 트랜지스터 N8가 오프되므로 해당 퓨즈부분을 통한 전압강하가 발생하지 않게 된다.

<80> 어드레스 검출부(150)는 퓨즈부(130)에 인가된 어드레스가 기 프로그래밍된 리페어 어드레스인지 여부를 검출하여 리페어된 어드레스가 인가시 노드 D의 값에 따라 퓨즈신호 /fuse_out가 출력되도록 한다. 특히, 본 발명의 어드레스 검출부(150)는 프리차지 명령시 디스에이블되지 않는 프리디코딩 신호 lax23를 인

가받지 않고 프리차지 명령시 디스에이블되는 프리디코딩 신호를 인가받는다. 만약, 프리디코딩 신호 lax23를 인가받게 되면 프리차지시 노드 E의 값이 불안정해져 결국 노드 F의 신호도 불안정해지게 된다.

<81> 이러한 어드레스 검출부(150)는 전원전압단과 노드 E 사이에 연결되며 게이트 단자가 제어신호 xredstpz에 연결되는 PMOS 트랜지스터 P7, 노드 E와 접지전압단 사이에 병렬 연결되며 게이트 단자로 프리디코딩 신호 lax45가 인가되는 다수의 NMOS 트랜지스터들, 노드 E의 신호를 래치하는 인버터 IV13와 IV14, 인버터 IV14의 출력신호와 제어신호 xredz를 낸드연산하는 낸드게이트 ND5, 및 낸드게이트 ND5의 출력신호를 반전하는 인버터 IV15를 구비한다.

<82> 퓨즈신호 출력부(160)는 노드 D의 전압값과 어드레스 검출부(150)의 출력신호에 따라 퓨즈신호 /fuse_out를 출력한다. 이러한 퓨즈신호 출력부(15)는 노드 D의 신호와 어드레스 검출부(150)의 출력신호를 낸드연산하여 퓨즈신호 /fuse_out를 출력하는 낸드게이트 ND6를 구비한다. 이때, 도 2의 퓨즈박스 fuse_up 및 fuse_dn의 출력신호는 퓨즈신호 /fuse_out가 반전된 것이다.

<83> 도 6은 프리차지 명령시 프리디코딩 신호 lax23이 디스에이블되지 않아도 본 발명에 따른 퓨즈박스가 정상적으로 동작하는 것을 설명하기 위한 타이밍도이다.

<84> 특정 노말 어드레스에 대해 액티브 명령이 인가되어 프리디코딩 신호 lax23 및 lax45가 인에이블되면, 노드 D의 전압은 퓨즈부(130)에 의한 전압강하로 풀다운되고 노드 F는 노드 E가 풀다운됨에 따라 하이 레벨로 천이된다. 다음에, 프리차지 명령이 인가되면 PMOS 트랜지스터 P5가 온된다. 그리고, 프리차지 명령에도 프

리디코딩 신호 lax23가 디스에이블되지 않았지만 프리디코딩 신호 laxB가 디스에이블되어 퓨즈 제어부(140)의 NMOS 트랜지스터 N8이 오프되므로, 퓨즈부(130)에 의한 전압강하는 발생하지 않게 된다. 이로써, 노드 D는 하이 레벨로 천이된다. 그리고, 노드 F는 제어신호 xredstpxz에 의해 PMOS 트랜지스터 P7가 온되고 프리디코딩 신호 lax45가 디스에이블되어 노드 E가 풀업되므로 로우 레벨로 천이된다. 이처럼, 퓨즈신호 /fuse_out는 프리디코딩 신호 lax23가 프리차지 명령에 의해 디스에이블되지 않더라도 노말 모드시에는 정상적으로 하이 레벨로 출력된다.

<85> 리페어 모드에 있어서, 기 프로그래밍된 특정 리페어 어드레스가 인가되고 액티브 명령이 인가되면, 프리디코딩 신호 lax23 및 lax45가 인에이블된다. 그러나, 해당 어드레스로 프로그래밍된 퓨즈부(130)에 의한 전압강하가 발생되지 않으므로 노드 D는 풀업된 상태를 계속 유지한다. 노드 F는 프리디코딩 신호 lax45가 인에이블되어 노드 E가 풀다운되므로 하이 레벨로 천이된다. 따라서, 퓨즈신호 /fuse_out가 로우 레벨로 천이되어 해당 부스팅 신호 px0가 인에이블된다. 다음에, 프리차지 명령이 인가되면, 프리디코딩 신호 lax23가 디스에이블되지 않아도 퓨즈 제어부(140)에 의해 퓨즈부(130)의 해당 퓨즈들로 인한 전압강하는 발생되지 않으므로 노드 D는 안정되게 하이 레벨을 유지하게 된다. 노드 F는 노드 E가 풀업되므로 인해 로우 레벨로 천이되어, 퓨즈신호 /fuse_out는 다시 하이 레벨로 천이된다. 이처럼, 퓨즈신호 /fuse_out는 프리디코딩 신호 lax23이 프리차지 명령에 의해 디스에이블되지 않더라도 해당 리페어 어드레스가 인가되는 경우 로우 레벨로 출력된다.

【발명의 효과】

<86> 상술한 바와 같이, 본 발명의 로오 리턴던시 회로는 하나의 리턴던트 메인 워드라인에 8개(또는 그 이상)의 리턴던트 서브 워드라인을 대응시켜 리페어 어드레스에 대한 리턴던트 동



작을 수행함으로써 종래에 비해 리던던트 메인 워드라인의 수를 절반(또는 그 이하)으로 줄일 수 있어, 그에 따른 메모리 소자의 여분의 공간을 보다 효율적으로 활용할 수 있게 된다.

<87> 또한, 본 발명의 로오 리던던시 회로는 모드 선택부의 출력 전압을 폴업시켜 기 발생된 부스팅 신호를 디스에이블 시키는 폴업부가 로오 어드레스의 일정 비트에 대한 프리디코딩 신호에 따라 온/오프 되도록 회로를 구성함으로써, 리프레쉬시 마다 부스팅 신호가 불필요하게 디스에이블되었다가 다시 인에이블되는 것을 방지하게 되고 이에 따라 부스팅 신호의 발생과 관련된 전류 소모를 최소화 할 수 있게 된다.

【특허청구범위】**【청구항 1】**

리턴던트 메인 워드라인과 리턴던트 서브 워드라인을 구비하는 반도체 메모리의 로오 리턴던트 회로에 있어서,

적어도 두 개의 퓨즈박스들로 이루어진 퓨즈박스그룹들을 구비하여 리턴던트를 위한 로오 어드레스 인가여부를 검출하는 퓨즈박스그룹 어레이;

상기 각 퓨즈박스그룹의 출력신호를 논리연산하여 복수의 리턴던트 서브 워드라인에 대응되는 하나의 리턴던트 메인 워드라인을 선택적으로 활성화시키는 리턴던트 로오디코더; 및

상기 각 퓨즈박스그룹 내 퓨즈박스 하나씩의 출력신호를 각기 논리연산하여, 상기 복수의 리턴던트 서브 워드라인을 상기 퓨즈박스그룹내의 각 퓨즈박스에 대응되는 단위 그룹으로 구분하고, 상기 구분된 단위 그룹별로 리턴던트 서브 워드라인들을 선택적으로 구동시키기 위한 부스팅 신호를 인에이블시키며, 새로운 로오 어드레스가 인가시에만 상기 인에이블된 부스팅 신호를 디스에이블시키는 리턴던트 서브 로오디코더를 구비하는 로오 리턴던트 회로.

【청구항 2】

제 1 항에 있어서, 상기 리턴던트 로오디코더는

상기 적어도 두 개의 퓨즈박스 중 어느 하나라도 인에이블되면 해당 리턴던트 메인 워드라인을 활성화시키는 것을 특징으로 하는 로오 리턴던트 회로.

【청구항 3】

제 2 항에 있어서, 상기 리턴던트 로오디코더는

상기 하나의 메인 워드라인을 4의 정수배(여기에서 정수는 퓨즈박스그룹을 형성하는 퓨즈박스의 수)에 해당하는 리턴던트 리턴던트 서브 워드라인에 대응시키는 것을 특징으로 하는 로오 리턴던트 회로.

【청구항 4】

제 1 항에 있어서, 상기 리턴던트 로오디코더는

상기 메인 워드라인이 활성화시 해당 셀 어레이 블록을 활성화시키고, 상기 부스팅 신호 발생을 제어하기 위한 부스팅 제어신호를 상기 리턴던트 서브 로오디코더로 출력하는 것을 특징으로 하는 로오 리턴던트 회로.

【청구항 5】

제 1 항에 있어서, 상기 리턴던트 서브 로오디코더는

상기 복수개의 리턴던트 부스팅 제어신호들 및 상기 새로 인가되는 로오어드레스의 프리디코딩 신호에 따라 상기 부스팅 신호를 디스에이블시키는 것을 특징으로 하는 로오 리턴던트 회로.

【청구항 6】

제 5 항에 있어서, 상기 리턴던트 서브 로오디코더는

상기 퓨즈박스 하나씩의 출력신호를 각기 논리연산하여 상기 퓨즈박스그룹을 이루는 퓨즈박스 수 만큼의 복수개의 리턴던트 부스팅 제어신호들을 출력하는 리턴던트 부스팅 제어부; 및

상기 리턴던트 부스팅 제어신호에 따라 상기 다수의 리턴던트 서브 워드라인

을 일정수 단위로 구분하고, 상기 복수개의 리턴던트 부스팅 제어신호들 및 상기 새로 인가된 로오 어드레스의 프리디코딩 신호에 따라 상기 부스팅 신호를 발생시키는 부스팅 신호 발생부를 구비하는 것을 특징으로 하는 로오 리턴던시 회로.

【청구항 7】

제 6 항에 있어서, 상기 부스팅 신호 발생부는

상기 리턴던트 메인 워드라인의 활성화 여부와 뱅크 활성화시 인에이블되고 프리차지시로우가 되는 제어신호에 따라 동작모드별 부스팅 신호의 발생을 제어하는 모드 제어부;

리페어 모드시, 제 1 리턴던트 부스팅 제어신호와 인가된 로오어드레스의 하위 2 비트의 프리디코딩 신호에 따라 부스팅 신호의 발생을 제어하는 리페어 제어부;

노말 모드시, 인가된 로오 어드레스의 하위 3 비트의 프리디코딩 신호에 따라 부스팅 신호의 발생을 제어하는 노말 제어부;

상기 모드 제어부에 의한 동작모드에 따라 상기 리페어 제어부와 상기 노말 제어부 중 어느 하나의 출력신호에 맞춰 출력신호를 풀다운시키는 모드 선택부;

제 2 리턴던트 부스팅 제어신호, 상기 리페어 제어부의 출력신호 및 상기 노말 제어부의 출력신호를 논리연산하여 출력하는 풀업 제어부;

상기 풀업 제어부의 출력신호에 따라 상기 모드 선택부의 출력신호를 풀업시키는 풀업부;

상기 모드 선택부의 출력신호를 래치하는 래치부; 및

상기 모드 선택부 및 상기 래치부의 출력신호에 따라 부스팅 신호를 발생시키는 부스팅 신호 출력부를 구비하는 것을 특징으로 하는 로오 리턴던시 회로.



【청구항 8】

제 7 항에 있어서, 상기 퓨즈박스는

전원전압단과 제 1 노드사이에 연결되어 프리차지시 상기 제 1 노드의 전압을 풀업시키는 전압 풀업부;

특정 리페어 어드레스로 프로그래밍되어, 상기 프로그래밍된 리페어 어드레스 이외의 어드레스 인가시 상기 제 1 노드의 전압을 풀다운시키는 퓨즈부;

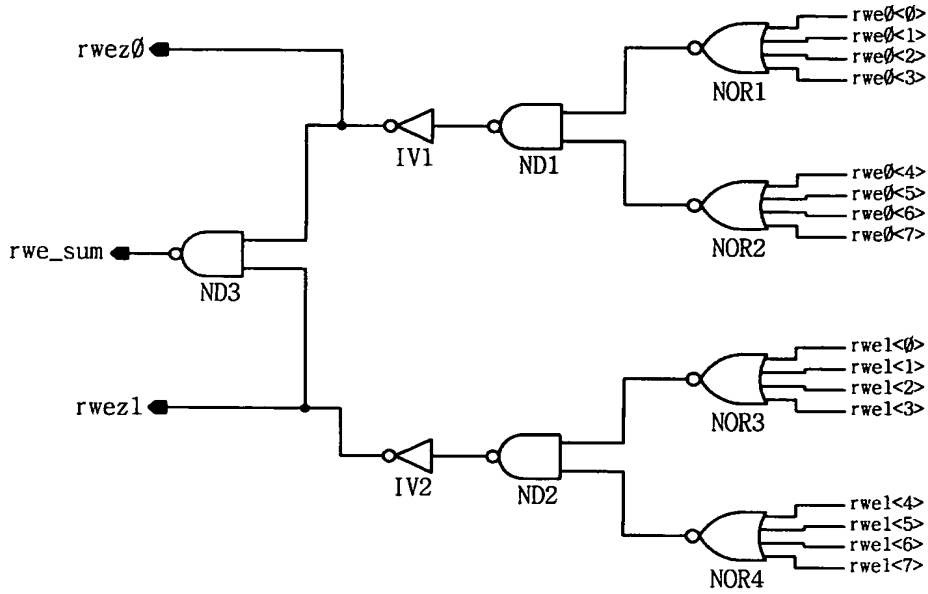
프리차지시 디스에이블되는 프리디코딩 신호에 따라 프리차지시 상기 퓨즈부에 의한 상기 제 1 노드의 전압강하를 방지하는 퓨즈 제어부;

상기 퓨즈부에 인가된 어드레스가 상기 리페어 어드레스인지 여부를 검출하여 상기 리페어 어드레스가 인가시 상기 제 1 노드의 값에 따라 퓨즈신호가 출력되도록 하는 어드레스 검출부; 및

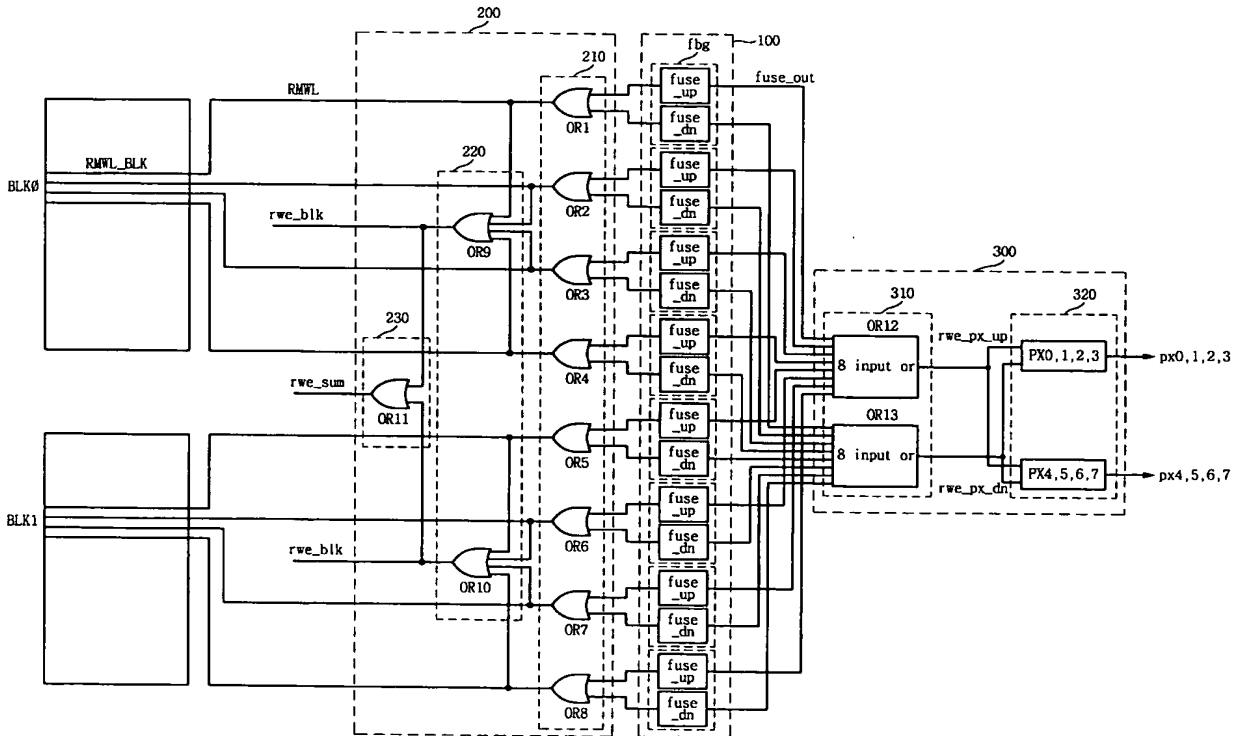
상기 제 1 노드 및 상기 어드레스 검출부의 출력신호에 따라 상기 퓨즈박스의 출력신호를 출력하는 퓨즈신호 출력부를 구비하는 것을 특징으로 하는 로오 리턴던시 회로.

【도면】

【도 1】

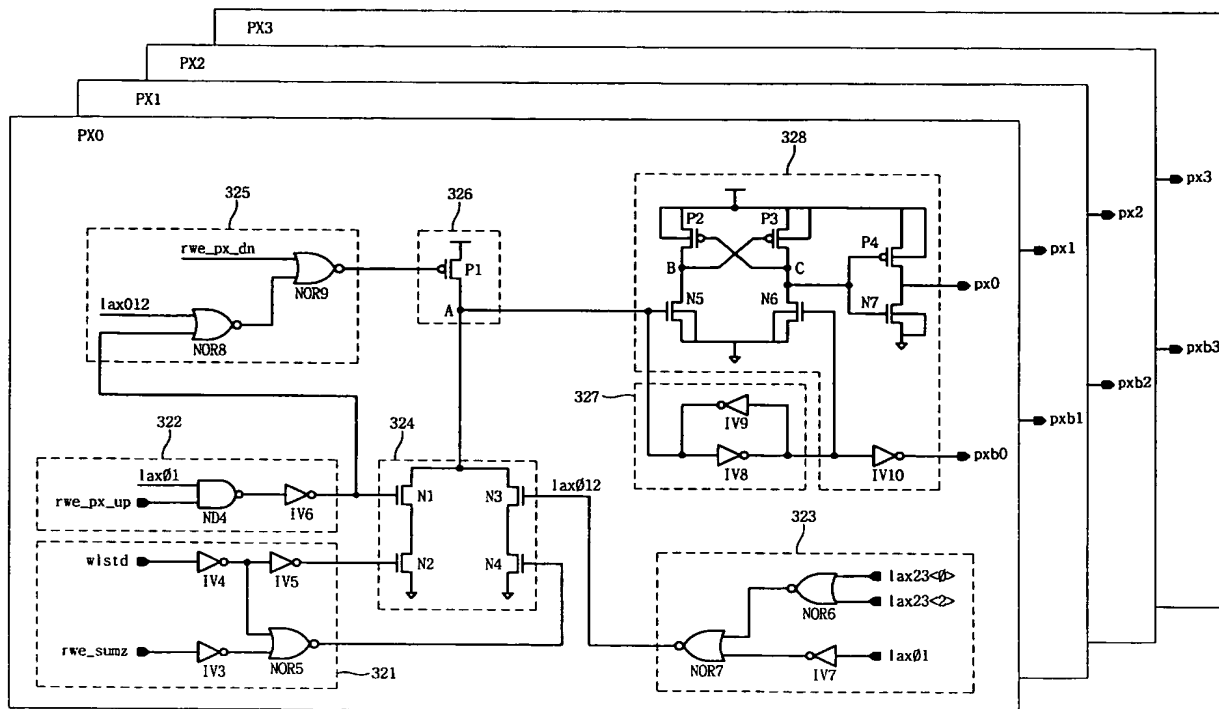


【도 2】

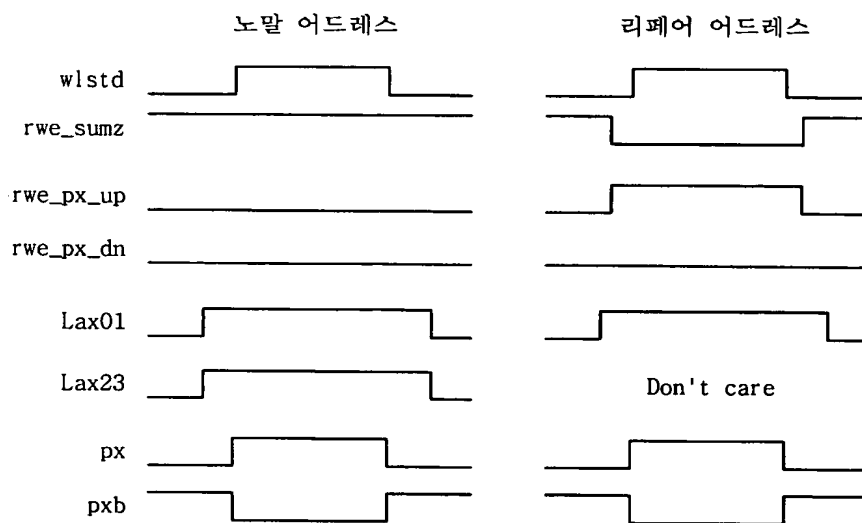




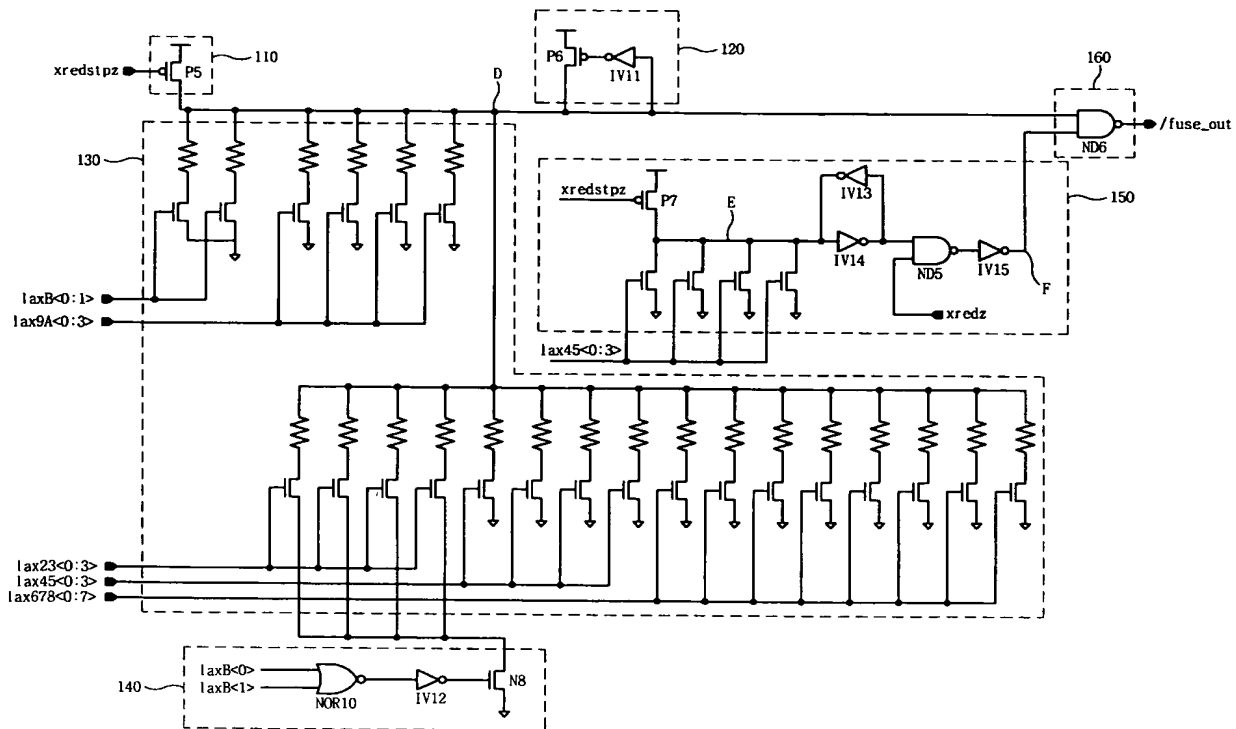
【도 3】



【도 4】



【도 5】



【도 6】

